

Інформатика, управління та штучний інтелект

Матеріали п'ятої міжнародної науково-технічної конференції

РЕАЛІЗАЦІЯ МОДУЛЮ UDP/IP НА FPGA З ПРОЦЕСОРНИМ УПРАВЛІННЯМ

*студент С.Ю. Ягнюков, канд. техн. наук, доц. О.Ф. Даниленко,
Національний технічний університет "Харківський політехнічний
інститут", м. Харків*

Чим більше поширюються вбудовані системи на основі малопотужних мікроконтролерів у різних сферах автоматизації та надання послуг, тим більше виникає питань, яким чином забезпечити високошвидкісний зв'язок у реальному часі для систем, що позбавлені значних процесорних потужностей. Для вирішення цієї проблеми, можна зекономити процесорний час, переклавши завдання формування пакетів на деяку апаратну систему (сопроцесор), наприклад FPGA.

В роботі досліджено актуальність створення повністю апаратного стеку мережових протоколів для FPGA, у тому числі TCP/IP та UDP/IP на основі фізичного мережевого протоколу Ethernet на швидкості 10/100/1000 Мб/с. Проаналізовано можливий інтерфейс програм прикладного рівня моделі OSI до подібного мережевого модуля. Розроблено модуль FPGA на мові апаратного опису Verilog, що реалізує передавальну частину стеку UDP/IP з підтримкою протоколу Ethernet на швидкості 1 Гб/с.

Коли йде мова про реалізацію мережевого протоколу на повністю апаратній основі, зазвичай мають на увазі модуль, який буде працювати на чотирьох нижчих рівнях моделі OSI: транспортний, мережевий, канальний та фізичний. Причому, якщо модуль реалізований на FPGA, він заміщує тільки транспортний, мережевий та канальний рівні, а на фізичному – лише обмінюється вже сформованими пакетами даних зі спеціальною мікросхемою-драйвером, що передає дані по стандарту того чи іншого фізичного протоколу.

Модуль, що був розроблений є передавачем для стеку UDP/IP. Він підтримує інтерфейс для зв'язку із процесором загального призначення, через який можна встановлювати деякі параметри модулю: IP-адреса, UDP-порти та MAC-адреса, для чого була також реалізовано відповідна API на мові програмування C. Для подальшої розробки пріоритетними напрямками є вдосконалення розробленого модуля, у тому числі підтримка протоколу ARP для автоматичного обчислення MAC-адреси отримувача, маючи його IP-адресу та інше.

Проаналізовані рішення створення повного стеку мережових протоколів на FPGA. Був розроблений передавач UDP/IP на мові апаратного опису Verilog, а також API на мові програмування C для управління цим модулем з боку процесору загального призначення. Були поставлені акценти для подальших дій у цьому напрямку.